

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07111253 A

(43) Date of publication of application: 25.04.95

(51) Int. Cl

H01L 21/285

H01L 21/285

H01L 21/205

(21) Application number: 06039457

(71) Applicant: HITACHI LTD

(22) Date of filing: 10.03.94

(72) Inventor: SUWA TAKESHI
KASAHARA OSAMU

(30) Priority: 20.08.93 JP 05206387

(54) SILICIDE FORMING METHOD AND
MANUFACTURE OF SEMICONDUCTOR DEVICE

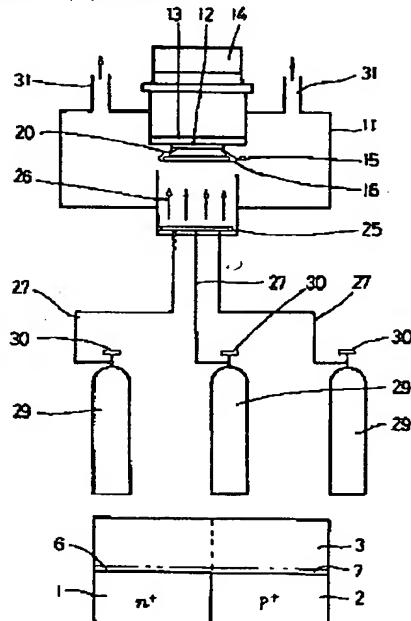
another reactive gas is supplied. As a result, a WSi₂ film 3 having a uniform composition can be formed on a polycrystalline silicon film 1.

(57) Abstract:

PURPOSE: To form a tungsten silicide film having a uniform composition on a polycrystalline silicon film by a method wherein initial nuclei are formed while the pressure in a reaction chamber is set to a relatively high value and the surface of a formed film is kept clean and a film is formed while the pressure in the reaction chamber is set to a relatively low value.

CONSTITUTION: After the heating of a wafer 12 is finished, the pressure in a reaction chamber 11 is set to 950mTorr and a required quantity of SiH₂Cl₂ gas which is one of reactive gases is supplied into the reaction chamber 11 and then a required quantity of WF₆ gas which is the other reactive gas is supplied to form initial nuclei. After that, a very thin film 6 is formed. Then the supply of the gases is stopped and the reaction chamber 11 is evacuated and the surface of the very thin film 6 is cleaned. Then a pressure in the reaction chamber 11 is reset to a normal value of 150mTorr and the SiH₂Cl₂ gas which is one of the reactive gases is supplied into the reaction chamber 11 and, after an elapse of time for stabilizing conditions in the reaction chamber 11, the WF₆ gas which is

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-111253

(43)公開日 平成7年(1995)4月25日

(51)Int.Cl.⁶
H 01 L 21/285
3 0 1 T 7376-4M
21/205

識別記号 庁内整理番号
C 7376-4M
3 0 1 T 7376-4M

F I

技術表示箇所

審査請求 未請求 請求項の数19 O.L (全 14 頁)

(21)出願番号 特願平6-39457
(22)出願日 平成6年(1994)3月10日
(31)優先権主張番号 特願平5-206387
(32)優先日 平5(1993)8月20日
(33)優先権主張国 日本 (JP)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 谷訪 剛
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 笠原 修
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(74)代理人 弁理士 秋田 収喜

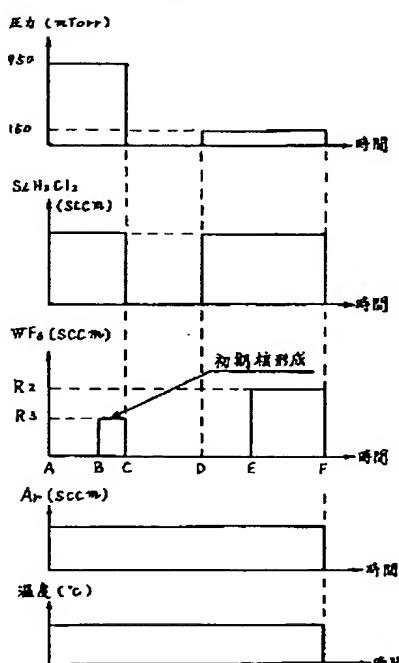
(54)【発明の名称】シリサイド形成方法および半導体装置の製造方法

(57)【要約】

【目的】ポリシリコン膜上に平滑で組成の均一なWS_{i₂}膜を形成する。

【構成】WF₆とSiH₂Cl₂の反応ガスにより、第1ステップ、清浄化ステップ、第2ステップによりWS_{i₂}膜を形成する。加熱温度、キャリヤガスおよびSiH₂Cl₂の供給量は第1・第2ステップで同じとする。第1ステップでは、反応室1内の圧力を950mTorrに設定し、SiH₂Cl₂を流した後WF₆を供給して初期核形成(極薄膜)を行なう。圧力が高いことから、WS_{i₂}はウエハ12の表面から離れた位置で形成されてウエハ12の表面のポリシリコン膜上に降り積もり、下地の物質の影響を受けず平坦かつ組成が均一となる。清浄化ステップでは前記極薄膜の表面を清浄にする。第2ステップでは、150mTorrとし、WS_{i₂}膜を厚くするだけなので、平坦なWS_{i₂}膜が形成される。

図1



【特許請求の範囲】

【請求項1】 不純物含有ポリシリコン膜上に化学気相成長法によってシリサイド膜を形成する方法であって、膜形成開始時に反応室内を比較的高い圧力に設定した状態で初期核を形成させる工程と、前記反応室内を高真空状態にするとともに反応ガスを排気して形成膜表面を清浄に保つ工程と、前記反応室内を比較的低い圧力に設定した状態で膜形成を行なう工程とを有することを特徴とするシリサイド形成方法。

【請求項2】 請求項1記載のシリサイド形成方法において、反応ガスとしてWF₆+SiH₄C₁₂系反応ガスを用いてポリシリコン膜上にタングステンシリサイドを形成することを特徴とするシリサイド形成方法。

【請求項3】 p+ポリシリコン膜上にシリサイド膜を形成することを特徴とする半導体装置の製造方法であって、前記シリサイド膜は化学気相成長法によって形成されるタングステンシリサイドからなり、前記タングステンシリサイドは、膜形成開始時に反応室内を比較的高い圧力に設定した状態で初期核を形成させる工程と、前記反応室内を高真空状態にするとともに反応ガスを排気して形成膜表面を清浄に保つ工程と、前記反応室内を比較的低い圧力に設定した状態で膜形成を行なう工程とによって形成されることを特徴とする半導体装置の製造方法。

【請求項4】 ポリシリコン膜上にシリサイド膜を形成したポリサイド膜を用いた半導体装置の製造方法であって、前記ポリサイド膜が次の工程によって形成されることを特徴とする半導体装置の製造方法。

(a) 前記ポリシリコン膜を形成させる工程。

(b) 前記シリサイド膜形成開始時に反応室内を比較的高い圧力に設定した状態で前記シリサイドの初期核となる薄膜を形成させる工程。

(c) 前記反応ガスを排氣することにより前記反応室内を高真空状態にして前記形成膜表面を清浄に保つ工程。

(d) 前記反応室内を比較的低い圧力に設定した状態で前記シリサイドの膜形成を行なう工程。

【請求項5】 前記請求項4に記載の半導体装置の製造方法において、前記シリサイドがタングステンシリサイドであることを特徴とする半導体装置の製造方法。

【請求項6】 不純物含有ポリシリコン膜上にタングステンシリサイド膜を形成したポリサイド膜を用いた半導体装置の製造方法であって、前記ポリサイド膜が次の工程によって形成されることを特徴とする半導体装置の製造方法。

(a) 前記不純物含有ポリシリコン膜を形成させる工程。

(b) 前記タングステンシリサイド膜形成開始時に反応室内を比較的高い圧力に設定した状態で前記タングステンシリサイドの初期核となる薄膜を形成させる工程。

(c) 前記反応ガスを排氣することにより前記反応室内

を高真空状態にして前記形成膜表面を清浄に保つ工程。

(d) 前記反応室内を比較的低い圧力に設定した状態で前記タングステンシリサイドの膜形成を行なう工程。

【請求項7】 不純物含有ポリシリコン膜上にタングステンシリサイド膜を形成したポリサイド膜を用いた半導体装置の製造方法であって、前記ポリサイド膜が次の工程によって形成されることを特徴とする半導体装置の製造方法。

(a) ロードロック室を設けた化学気相成長装置によって前記不純物含有ポリシリコン膜を形成させる工程。

(b) 前記シリサイド膜形成開始時に反応室内を比較的高い圧力に設定した状態で前記シリサイドの初期核となる薄膜を形成させる工程。

(c) 前記反応ガスを排氣することにより前記反応室内を高真空状態にして前記形成膜表面を清浄に保つ工程。

(d) 前記反応室内を比較的低い圧力に設定した状態で前記シリサイドの膜形成を行なう工程。

【請求項8】 前記請求項7に記載の半導体装置の製造方法において、前記ポリシリコン膜形成後、洗浄工程を経ずに前記シリサイド膜が形成されることを特徴とする半導体装置の製造方法。

【請求項9】 メモリセル選択用MISFETと情報蓄積用容量素子との直列回路を有する半導体装置の製造方法であって、MISFETのゲート電極及び半導体装置の内部配線に、不純物含有ポリシリコン膜上にシリサイド膜を形成したポリサイド膜を用い、そのポリサイド膜が次の工程によって形成されることを特徴とする半導体装置の製造方法。

(a) 前記ポリシリコン膜を形成させる工程。

(b) 前記シリサイド膜形成開始時に反応室内を比較的高い圧力に設定した状態で前記シリサイドの初期核となる薄膜を形成させる工程。

(c) 前記反応ガスを排氣することにより前記反応室内を高真空状態にして前記形成膜表面を清浄に保つ工程。

(d) 前記反応室内を比較的低い圧力に設定した状態で前記シリサイドの膜形成を行なう工程。

【請求項10】 前記請求項7又は請求項9の何れかに記載の半導体装置の製造方法において、前記シリサイドがタングステンシリサイドであることを特徴とする半導体装置の製造方法。

【請求項11】 メモリセル選択用MISFETと情報蓄積用容量素子との直列回路を有する半導体装置の製造方法であって、MISFETのゲート電極及び半導体装置の内部配線に、不純物含有ポリシリコン膜上にシリサイド膜を形成したポリサイド膜を用い、そのポリサイド膜が次の工程によって形成されることを特徴とする半導体装置の製造方法。

(a) 第1の化学気相成長装置によって前記不純物含有ポリシリコン膜を形成させる工程。

(b) 第2の化学気相成長装置によって前記タングステ

ンシリサイドを形成し、膜形成開始時に前記装置の反応室内を比較的高い圧力に設定した状態で前記タングステンシリサイドの初期核となる薄膜を形成させる工程。

(c) 前記反応ガスを排気することにより前記反応室内を高真空状態にして前記形成膜表面を清浄に保つ工程。

(d) 前記第2の化学気相成長装置によって前記タングステンシリサイドを形成し、前記反応室内を比較的低い圧力に設定した状態で前記タングステンシリサイドの膜形成を行なう工程。

【請求項12】 メモリセル選択用MISFETと情報蓄積用容量素子との直列回路を有する半導体装置の製造方法であって、MISFETのゲート電極及び半導体装置の内部配線に、不純物含有ポリシリコン膜上にシリサイド膜を形成したポリサイド膜を用い、そのポリサイド膜が次の工程によって形成されることを特徴とする半導体装置の製造方法。

(a) ロードロック装置を設けた第1の化学気相成長装置によって前記不純物含有ポリシリコン膜を形成させる工程。

(b) 第2の化学気相成長装置によって前記タングステンシリサイドを形成し、膜形成開始時に前記装置の反応室内を比較的高い圧力に設定した状態で前記タングステンシリサイドの初期核となる薄膜を形成させる工程。

(c) 前記反応ガスを排気することにより前記反応室内を高真空状態にして前記形成膜表面を清浄に保つ工程。

(d) 前記第2の化学気相成長装置によって前記タングステンシリサイドを形成し、前記反応室内を比較的低い圧力に設定した状態で前記タングステンシリサイドの膜形成を行なう工程。

【請求項13】 前記請求項12に記載の半導体装置の製造方法において、前記ポリシリコン膜形成後、洗浄工程を経ずに前記シリサイド膜が形成されることを特徴とする半導体装置の製造方法。

【請求項14】 前記請求項12に記載の半導体装置の製造方法において、前記第1の化学気相成長装置がバッチ処理を行なう装置であり、前記第2の化学気相成長装置が枚葉処理を行なう装置であることを特徴とする半導体装置の製造方法。

【請求項15】 前記請求項12に記載の半導体装置の製造方法において、前記工程(b)の比較的高い圧力が約950mTorrであり、前記工程(c)の高真空状態が数mTorrであり、前記工程(d)の比較的低い圧力が約150mTorrであることを特徴とする半導体装置の製造方法。

【請求項16】 前記請求項12に記載の半導体装置の製造方法において、半導体装置がCMOS回路を搭載し、前記ポリシリコンがn+ポリシリコン及びp+ポリシリコンであることを特徴とする半導体装置の製造方法。

【請求項17】 前記請求項12に記載の半導体装置の

製造方法において、前記シリサイド形成の反応ガスの一つが六フッ化タンゲステンであり、その流量が前記工程(b)では前記工程(d)よりも少なく設定されることを特徴とする半導体装置の製造方法。

【請求項18】 駆動用MISFETを備えた論理回路を有する半導体装置の製造方法であって、MISFETのゲート電極及び半導体装置の内部配線に、不純物含有ポリシリコン膜上にシリサイド膜を形成したポリサイド膜を用い、そのポリサイド膜が次の工程によって形成されることを特徴とする半導体装置の製造方法。

(a) 化学気相成長装置によって前記不純物含有ポリシリコン膜を形成させる工程。

(b) 化学気相成長装置によって前記シリサイドを形成し、膜形成開始時に前記装置の反応室内を比較的高い圧力に設定した状態で前記タングステンシリサイドの初期核となる薄膜を形成させる工程。

(c) 前記反応ガスを排気することにより前記反応室内を高真空状態にして前記形成膜表面を清浄に保つ工程。

(d) 前記化学気相成長装置によって前記シリサイドを形成し、前記反応室内を比較的低い圧力に設定した状態で前記シリサイドの膜形成を行なう工程。

【請求項19】 前記請求項18に記載の半導体装置の製造方法において、半導体装置がCMOS回路を搭載し、前記ポリシリコンがn+ポリシリコン及びp+ポリシリコンであることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は化学気相成長(CVD)

法によってシリサイド膜を形成するシリサイド形成方法及びその形成方法を用いた半導体装置の製造方法に関する、特にポリシリコン膜上にタングステンシリサイド膜を形成するのに適用して有効な技術に関する。

【0002】

【従来の技術】 IC(集積回路装置)、LSI(大規模集積回路装置)等半導体装置は、高機能・高速化に伴って配線はより微細化するとともに低抵抗化が図られている。たとえば、株式会社プレスジャーナル発行「月刊セミコンダクター ワールド(Semiconductor World)」

40 1985年9月号、同年8月15日発行、P83~P87には、CVD法について記載されている。

【0003】 工業調査会発行「電子材料」1989年3月号、同年3月1日発行、P53~P56には「枚葉式メタルCVD装置」について記載されている。この文献には、ジクロルシラン(SiH_2Cl_2)と六フッ化タンゲステン(WF₆)を用いてWSi(タングステンシリサイド)を形成するプロセスが開示されている。また、この文献には、「タングステンシリサイドプロセスでは、500°Cまで温度とともに成長速度は急速に増加し、この温度を越えるとわずかしか増加しない。したがって高ス

ループット、良好な均一性、良好な再現性のためには、500°C以上で成膜することが望ましい。500°C以下では表面反応が成長速度をコントロールするが、500°C以上では拡散反応が成長速度をコントロールする。拡散反応状態では、成長速度は全圧と無関係であり、全ガス流量の平方根に比例し、WF₆のモル比に比例する。膜中のSi/W組成比は温度、圧力、SiH₂C_{1,2}:WF₆の比の増加によって増えるが、全ガス流量を増加させると逆に減る。Si:W組成比は比抵抗と測定したシート抵抗とに相関がある。」旨記載されている。また、この文献によるCVD装置は、自然酸化膜への対策処理(α -Si)としての第1ステップ、ニュクリエーション(WSi₁)としての第2ステップ、デポジション(WSi₂)としての第3ステップによってWSi₂を形成すること、デポジション条件としては、成膜温度は450~650°C、圧力は150mTorr以下、SiH₂C_{1,2}/WF₆の比は32であることが記載されている。

【0004】一方、半導体装置として、揮発型の半導体記憶装置であるDRAM(Dynamic Random Access Memory)が知られている。DRAMの記憶素子であるメモリセルはメモリセル選択用MISFETと情報蓄積用容量素子との直列回路で構成されている。DRAMの技術分野においては高集積化が推し進められており、メモリセルは年々縮小されてきている。高集積化されたメモリセルにおいては、微小平面にメモリセル選択用MISFETと情報蓄積用容量素子とを形成しなければならないが、その場合にも動作速度が低下することを防止するため、各素子を接続する内部配線を低抵抗化する必要がある。

【0005】また、半導体装置として、超高速パイポーラLSIが知られている。超高速パイポーラLSIについては、工業調査会発行「電子材料」1985年1月号、同年1月1日発行P49~P55に記載されている。この文献には、SST(Super Self-align Process Technology)によるn-p-nトランジスタおよび製造工程が図解されている。n-p-nトランジスタの製造においては、同文献を引用すると、「1回のホトエッチング工程のみでトランジスタの最も重要な部分であるベース、エミッタ両領域とベースp+ポリシリコン電極部、エミッタコンタクト部をすべて形成することができる。このため、従来のプレーナ構造におけるホトマスク相互(4枚)の位置合せ誤差を設計上組みこむ必要がなく、微細なトランジスタを容易に制御性良く作ることができる。したがって、コレクタ・ベース接合容量、ベース抵抗などのトランジスタの高速動作を妨害する寄生容量、寄生抵抗が小さくなり、トランジスタは高速となる。また、エミッタおよびベース電極はポリシリコンで形成されており、しかもこれを不純物源としてエミッタ領域、ベース補償領域を形成しているため、信頼性の高い浅い接合を形成することができ、遮断周波数f_Tを高くすることができる。試作

n-p-nトランジスタの断面のSEMによる観察結果を写真1に示す。エミッタ幅0.35μm、ベースコンタクト幅0.35μm、エミッタとベースコンタクトとの距離0.3μmとquarter micronに近い寸法を通常の光露光技術を用いて、容易に制御性良く実現している。ベース領域の幅はダブルベースで約1.7~1.8μmであり、従来のプレーナ構造のエミッタ幅程度と極めて小さい。」旨記載されている。

【0006】

10 【発明が解決しようとする課題】より微細化、複雑化した半導体装置(半導体デバイス)を製造するためには、微細化された配線の抵抗値を低減させることが重要な課題となっている。このため、ゲート電極の配線材料として、前記文献にも記載されているように、不純物含有ポリシリコン膜上にシリサイド膜を形成した2層膜構造(ポリサイド構造)を用いることが一般的になっており、これによって配線抵抗値は大幅に低くなっている。タンゲステンシリサイド(WSi₂)を形成する方法としては、前記文献にも記載されているように、CVD法

20 が採用されている。従来のWSi₂の形成においては、一定圧力(150mTorr以下)下で形成されている。

【0007】ところで、本出願人においては、DRAMのゲート電極及び配線として不純物を含有するポリシリコン膜上にタンゲステンシリサイド(WSi₂)を形成して低抵抗の配線(電極)を形成しているが、本発明者は従来のCVD法によって、ポリシリコン膜上に一定圧力下(150mTorr)でWSi₂を形成した場合、WSi₂の組成がポリシリコン膜の界面近傍に均一となっていないことを見い出した。すなわち、ポリシリコン膜と

30 の界面近傍にて、WSi₂のシリコンの成分比が低下して均一な組成となっていない。このような組成の不均一は、後の工程でエッチングを行なう際にエッチングの進行速度の不均一の原因となり、これによってエッチング残りが生じる等のエッチング特性が低下し素子製造上好ましくない。

【0008】また、本出願人においては、p+不純物を含有するポリシリコン膜(p+ポリシリコン膜)上にも同等の膜形成を行なう必要性が生じた。そこで、本発明者は従来のCVD法によって、p+ポリシリコン膜上に

40 一定圧力下(150mTorr)でWSi₂を形成した。しかし、p+ポリシリコン膜にWSi₂を形成した場合、WSi₂の表面に凹凸が発生することが判明した。すなわち、図7に示すように、n+ポリシリコン膜1およびp+ポリシリコン膜2上にWSi₂膜3を形成した場合、n+ポリシリコン膜1上のWSi₂膜3の表面は平滑になるが、p+ポリシリコン膜2上のWSi₂膜3表面は粒径化した凹凸面4となってしまう。この凹凸面化は、たとえばWSi₂膜3のバーニングの際の微細エッチングが良好に行えなくなる原因となる等素子製造上好ましくない。

【0009】本発明の目的は、ポリシリコン膜上に組成が均一なタングステンシリサイド膜を形成できる技術を提供することにある。

【0010】本発明の他の目的は、p+ポリシリコン膜上にも表面が平滑となるタングステンシリサイド膜を形成できる技術を提供することにある。本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、本発明においては、半導体装置製造におけるポリシリコン膜上にタングステンシリサイド膜を形成する方法において、タングステンシリサイド膜形成開始時にCVD装置の反応室内を比較的高い圧力(950mTorr程度)に設定した状態で反応ガスとしてのSiH₂C₁₂とWF₆をWF₆を少なくした状態で流してポリシリコン膜上に初期核を形成させる工程

(第1ステップ)と、前記反応室内を高真空中(数mTorr程度)にするとともに反応ガスを排気して形成膜

(極薄膜)の表面を清浄に保つ工程と、前記反応室内を比較的低い圧力(150mTorr程度)に設定した状態で反応ガスを流して膜形成を行なう工程(第2ステップ)と、によって、ポリシリコン膜上にタングステンシリサイド膜を形成する。

【0012】

【作用】上記した手段によれば、本発明のタングステンシリサイドの形成方法においては、膜形成開始時に反応室内の真空中度を950mTorr程度と高い圧力に設定した状態でポリシリコン膜上にWSi₂を形成するが、圧力を高くすることから、反応によって生じたWSi₂分子はウエハの表面の上方で形成され、降下してウエハの表面に降り積もり、初期核による極薄膜が形成されるため、下地物質(ポリシリコン膜)の影響を受けずに、組成が均一で表面が平坦となる均一の厚さの極薄膜が形成されることになる。また、極薄膜が形成された後は、略通常のWSi₂の形成条件に切り換えてWSi₂を形成するため、極薄膜上には表面が平坦な所望のWSi₂膜が形成されることになる。また、本発明においては、第1ステップでSiH₂C₁₂に対するWF₆の量を少なくしていることから、第2ステップで形成するWSi₂膜の膜質と同質の膜を形成できるようになる。また、本発明においては、第1ステップと第2ステップとの間に、反応ガスの供給を停止してキャリヤガスのみを流すことによって形成膜の表面を清浄にする工程を設けていることから、第2ステップで良質の膜形成が可能となる。

【0013】

【実施例】

(実施例1)以下図面を参照して本発明の一実施例について説明する。本実施例は本発明をDRAMの各素子を

接続する配線とMISFETのゲート電極とに適用したものである。図8にDRAMのメモリセルの要部断面図を示す。

【0014】図8に示すように、本発明のDRAMは単結晶珪素からなるp型半導体基体40の表面に形成される。p型半導体基体40は、LOCOS(Local Oxidation of Silicon)法による選択酸化によるフィールド酸化膜61によって各素子形成領域を分離する。メモリセルはp型半導体基体40の表面に形成されたメモリセル選択用MISFETと情報蓄積用容量素子との直列回路で構成される。

【0015】メモリセル選択用MISFETは、ゲート絶縁膜35上にワード線36と一緒に構成されたゲート電極36と、ゲート電極36に対して自己整合で形成されたn型半導体領域62とを有する。このn型半導体領域62はメモリセル選択用MISFETのソース領域、ドレイン領域のいずれかの機能を有する。

【0016】情報蓄積用容量素子は、メモリセル選択用MISFETの上層にBPSG膜63A, 63Bからなる層間絶縁膜63を介して形成されたプレート電極6

4、ノード電極65及び誘電体膜66を有する。ノード電極65はメモリセル選択用MISFETのn型半導体領域62即ちソース領域、ドレイン領域のいずれか一方とポリシリコン層からなる第1の接続用電極67を介して接続される。メモリセル選択用MISFETのソース領域、ドレイン領域の他方は、ポリシリコン層からなる第2の接続用電極81を介してピット線68と接続される。

【0017】このような、本実施例のメモリセルゲート電極36の製造方法を、図9によって以下説明する。

【0018】p型半導体基体40は、(100)結晶面を素子形成面として使用し、各素子形成領域を分離するためにLOCOS(Local Oxidation of Silicon)法による選択酸化を行なう。先ずp型半導体基体40の全面に成長させた薄い熱酸化膜の上に、アンモニア(NH₃)とモノシラン(SiH₄)の熱分解反応によって窒化膜を成長させ、素子形成領域上にレジストパターンを作り、このレジストパターンをマスクとして前記窒化膜のエッチングを行ない素子分離領域の前記熱酸化膜及び窒化膜を除去する。前記レジストパターンをマスクとしてチャネルストップとなるp+型不純物をイオン打込みし、前記レジスト除去後に前記素子形成領域の窒化膜をマスクとする選択酸化によって素子分離領域に厚いフィールド酸化膜61を形成し、本実施例では約1μmの素子形成領域を分離する。

【0019】素子形成領域の前記熱酸化膜及び窒化膜を除去した後に、図9の(a)に示すようにゲート絶縁膜35を形成する。前記メモリセル選択用nチャネルMISFETのゲート絶縁膜35は、ロードロック室を設けた縦型拡散装置にて熱酸化法でp型半導体領域40の主

面を酸化した酸化珪素膜で形成される。本実施例では850℃にて酸素を71/m, 水素を3.51/m加えて9nmの厚さに形成する。

【0020】前記ゲート電極36は、メモリセル選択用nチャネルMISFETの動作速度を速くする目的で、ポリシリコン膜上に高融点金属珪化膜を積層した積層膜で形成してある。本実施例では不純物含有ポリシリコン膜1上にタンクステンシリサイド膜3を形成したポリサイド膜をパターニングしてメモリセル選択用MISFETのゲート電極36としている。

【0021】前記不純物含有ポリシリコン膜1は、ロードロック室を設けた縦型化学気相成長装置によってバッチ処理される。図10に示すのは前記ロードロック室を設けた化学気相成長装置の構成を示す図である。図中、(a)は従来の装置を示し、(b)は本実施例で使用した装置を示す。

【0022】ウエハ12は、カセット69に収容されて搬入され移載機70によって反応室71に収容される。72は加熱用のヒータである。

【0023】反応室71にて、本実施例では540℃, 375mtoorrにてモノシラン(SiH₄)を500sccm, ホスフィン(PH₃)を12sccm加えて、ポリシリコン膜1を100nmの厚さに形成する。この状態を図9の(b)に示す。

【0024】前記ポリシリコン膜1が形成されたウエハ12はカセット69に収容されてタンクステンシリサイド膜形成工程に送られる。

【0025】(a)に示す従来の装置では反応室71の外ではウエハ12が大気に晒されているために、ポリシリコン膜1の表面が酸化する或いは表面に不純物が付着することがある。(b)に示す本実施例の装置では、カセット室73及びロードロック室74が窒素雰囲気となっているために前記の酸化或いは不純物の付着が減少する。このため、従来の装置を用いた製造方法においては、前記ポリシリコン膜1形成後、洗浄工程を行なっていたが、本実施例では洗浄工程を経ずに前記シリサイド膜形成工程に送ることが可能である。

【0026】次に、シリサイド形成の工程について説明する。図1は本実施例によるタンクステンシリサイド膜形成方法を示すタイミングチャート、図2は本発明のタンクステンシリサイド形成方法を実施する化学気相成長装置の要部を示す模式図、図3は同装置における半導体ウエハの支持機構の要部を示す正面図、図4は同じく半導体ウエハの支持機構の要部を示す平面図、図11は装置の全体構成を示す平面図である。

【0027】本発明のシリサイド形成方法の説明の前に、本発明を実施するための化学気相成長装置の概要について、図2～図4、図11を参照しながら説明する。本実施例の化学気相成長装置では、図11に示すようにカセット69に収容されたウエハ12は、カセット室7

5にて、支持機構15によってカセット69から1枚ずつ抜き出され、搬送チャンバ76を経て反応室11に運ばれる、所謂枚葉式の処理が行なわれる。なお77はアニールを行なうアーチルチャンバである。

【0028】図2に示すように、CVD装置の反応室(チャンバ)11内には、ウエハ(半導体ウエハ)12等の試料を支持するための加熱サセプタ13が配設されている。また、前記加熱サセプタ13の上方には、加熱サセプタ13を加熱するためのランプからなる加熱体1

14が設けられている。前記加熱サセプタ13はグラファイト板からなり、前記加熱体14によって加熱され、所望の温度に制御される。この加熱サセプタ13の下面には支持機構15によってウエハ12が張り付けられる。支持機構15は、図3および図4にも示されるように、前記ウエハ12よりも直径が大きいリング体16と、このリング体16から水平方向に延在するアーム17と、このアーム17に上端が固定された昇降軸19と、この昇降軸19を上下動させる図示しない昇降機構とからなっている。また、前記リング体16には120°間隔に

20 支持ピン20が取り付けられている。これら支持ピン20は、リング体16の中心上方向に傾斜して配設されている。ウエハ12は、前記3本の支持ピン20の先端上に載置され、あるいは3本の支持ピン20上から取り外される。ウエハ12が前記3本の支持ピン20上に搬入された後は、前記支持機構15が動作してリング体16は上昇し、支持ピン20によって支持されているウエハ12を前記加熱サセプタ13の下面に密着させる。そして、この状態でWSi₂膜の形成がなされる。また、膜形成後は、前記支持機構15が再び動作し、リング体16は所定高さまで降下し、ウエハ12の反応室11外への搬出が行なわれるようになっている。

【0029】一方、前記加熱サセプタ13の下方の反応室11内にはガス噴射管25が設けられている。このガス噴射管25はリング状管体からなり、上面側に多数の図示しない噴射口を有し、この噴射口から加熱サセプタ13に向けてガス26を噴射する。また、前記ガス噴射管25には3本のガス供給管27が接続され、各ガス供給管27はポンベ29に接続されている。3本のポンベ29は、反応ガスであるジクロロシラン(SiH₂C1

40), 六フッ化タンクステン(WF₆), キャリヤガスであるアルゴン(Ar)が充満され、バルブ30の開閉により、供給、停止が行なわれる。実際には、開閉弁、流量制御弁等が組み込まれ、より高精度な制御がなされている。また、前記反応室11には排気管31が取り付けられている。この排気管31は図示しない真空ポンプに接続され、反応室11内を所望の真空中に制御できるようになっている。

【0030】このような化学気相成長装置では、反応室11内の真空中度、加熱サセプタ13に張り付けられた試料の温度、各種ガスの供給量が自由に制御できる。

【0031】本発明のタングステンシリサイド膜の形成方法においては、前記化学気相成長装置を使用し、 $WF_6 + SiH_4 C_1_2$ 系反応ガスによってウエハ12のポリシリコン膜1上にタングステンシリサイド(WSi₂)を形成する。膜形成のタイミングチャートは図1のようになっている。処理温度およびキャリヤガス(Ar)の供給量は膜形成の最初から終了に至る間一定となっている。処理温度は、たとえば680℃となり、キャリヤガスは100sccmとなる。また、膜形成は、初期核を形成する時間B～Cに至る第1ステップと、初期核形成によって形成された形成膜(極薄膜)6上にシリサイド膜8を形成させる時間E～Fに至る第2ステップとによって形成される。また、前記第1ステップと第2ステップとの間には反応ガスの供給を停止し、圧力を数mTorrとする清浄化ステップが設けられている。

【0032】つぎに、前記タイミングチャートを参照しながらWSi₂膜3の形成について説明する。最初に、半導体ウエハ12を反応室11内に搬入した後、ウエハ12を支持機構15によって加熱サセプタ13下面に張り付ける。また、反応室11内に、キャリヤガスとしてのArガスを一定量、たとえば100sccm供給するとともに、反応室11内の圧力を150mTorrに設定し、かつ所定の温度、たとえば680℃に加熱する。キャリヤガスの供給量および加熱温度は膜形成終了まで一定に維持される。

【0033】つぎに、ウエハ12の加熱終了後、反応室11内の圧力を950mTorrに設定するとともに、反応ガスである $SiH_4 C_1_2$ ガスを所定量、たとえば200sccm供給する。この $SiH_4 C_1_2$ ガスの供給は、第1ステップおよび第2ステップでも同量供給される。その後、反応ガスの他の一つである WF_6 ガスを所定量、たとえば第1ステップでは1.2sccm供給し、所望時間、たとえば約10秒間で初期核形成を行なって形成膜(極薄膜)6を形成する。前記タイミングチャートにおける時間AからBに至る間が反応室11やウエハ12の処理条件が設定完了する時間である。そして、時間Bから時間Cに至る間が初期核形成に当たられる時間である。第1ステップは、狭くは時間Bから時間Cに至る間である。第1ステップでは、反応室11内の圧力が高いことから、WSi₂はウエハ12の表面から離れた位置で形成されてウエハ12の表面に降り積もるため、初期核形成による極薄膜6は下地の物質の影響を受けない。なお、反応ガスである WF_6 を少なめに流すことは、第2ステップで形成するWSi₂膜8と同質のものを形成するためである。圧力を高くすると反応が早くなり、極薄膜6を形成するWSi₂膜の膜質が第2ステップの膜質と異なるため、膜質を一致させるために第1ステップでは WF_6 の供給量を少なめにする。

【0034】つぎに、時間Cから時間Dに至る清浄化ステップが設けられている。この清浄化ステップは、たと

えば30秒程度の時間行われ、反応ガスの供給を止め、反応室11内を真空に引き、極薄膜6の表面を清浄にする。これは、反応室11内を清浄化することによって、次の第2ステップでの膜形成を良好に行うものである。

【0035】つぎに、反応室11内の圧力を常用の150mTorrに再設定し、反応ガスの一つである $SiH_4 C_1_2$ を流す(供給量は200sccm)。また、反応室11内の条件が安定した時間Eに至った時点で、他の反応ガスとしての WF_6 が2.0(第一ステップは1.2sccm)程度供給される。また、第2ステップは、たとえば、90秒程度の時間行われる。この結果、前記ポリシリコン膜1上に、厚さ150nm程度のWSi₂膜3が形成されることになる。この状態を図9の(c)に示す。第2ステップでは、平坦な極薄膜6、7上に引き続きWSi₂膜が形成されるため、WSi₂膜3の表面は平坦となる。なお、図中に(c')で示すのは従来の製造方法におけるWSi₂膜3形成後の状態である。

【0036】図12に示すのは、このようにして形成したシリサイド膜の深さ方向組成を、従来の形成方法によるもの(a)と本実施例のもの(b)とで比較した結果を示す図である。従来方法のものでは図中矢印で示すようにポリシリコン膜1とシリサイド膜3との界面付近でシリサイドの組成が変化しシリコンの比率が低下している。これに対して本実施例のものにはそのような変化が表れずに均一な組成を保っている。これは前述のように下地の物質の影響を受けずにシリサイドの形成が行なわれるためと考えられる。

【0037】ゲート電極36は、そのゲート幅方向においてワード線(WL)36に一体に構成され電気的に接続される(つまり、同一導電層で形成される)。

【0038】前記ゲート電極36の上面には絶縁膜78が構成され、同様に、ワード線36の上面には絶縁膜78が構成される。この絶縁膜78はゲート電極36の一部分若しくはワード線36の一部分の表面を被覆する構成となっている。

【0039】前記絶縁膜78は、緻密でかつ良質な膜質を有し、絶縁耐圧を高めることを主目的として、ロードロック室を設けた化学気相成長装置で堆積させた酸化珪素膜で形成される。この酸化珪素膜は、ソースガスの主体として無機シラン(モノシラン: SiH_4) 10乃至20sccm、酸化窒素(N_2O) 700sccmを使用し、800℃程度の高温度、450mTorr程度の圧力に設定される減圧CVD法で堆積される。絶縁膜78は200nm程度の膜厚で形成される。この状態を図9の(d)に示す。

【0040】絶縁膜78の堆積後に化学增幅型のレジストゲートを電極のパターンに形成し、このレジスト79をマスクとしてマイクロ波プラズマエッチング装置によってドライエッチングを行ない絶縁膜78をバーニングする。本実施例では-10℃の温度、6.5mTorrの

圧力にてハロゲン化合物 (CHF_3 , CH_2F_2) 雰囲気にてRF出力150w, 300mAのマイクロ波を用いて、絶縁膜78をプラズマエッティングする。この状態を図9の(e)に示す。絶縁膜78のパターニングが完了すると、前記レジスト79を除去し、パターニングした絶縁膜78をマスクとしてシリサイド膜3及びポリシリコン膜1をエッティングする。本実施例では0°Cの温度、5morrの圧力にて塩素 (Cl_2) 及び酸素 (O_2) 雰囲気にてRF出力35/16w, 250mAのマイクロ波を用いてプラズマエッティングし、ポリサイド構造のゲート電極36が形成される。なおゲート長は0.3μmになっている。

【0041】本実施例では前述の如く組成の均一なシリサイド膜3が得られるので、エッティング特性が良好である。

【0042】ゲート電極36のパターニング後に、前記ソース領域、ドレイン領域のいずれかとして使用されるn型半導体領域62が、p型半導体基体40の主面部において、このゲート電極36に対して自己整合で形成される。

【0043】前記n型半導体領域62は、例えば、イオン打込み法を使用し、不純物としてリン (P) を導入することにより形成される。このn型半導体領域62を形成するPの導入に際してはゲート電極36及びその上面に積層された絶縁膜78、フィールド酸化膜61の夫々が不純物導入マスクとして使用される。

【0044】次に、ゲート電極36の側面を覆うサイドウォールスペーサ80が形成される。サイドウォールスペーサ80は、緻密でかつ良質な膜質を有し、絶縁耐圧を高めることを主目的として、CVD法で堆積した酸化珪素膜で形成される。この酸化珪素膜は、減圧CVD法で堆積される。

【0045】前記情報蓄積用容量素子は、図8に示すように、メモリセル選択用nチャネルMISFETの上部において、ノード電極65、誘電体膜66、プレート電極64の夫々を順次積層した所謂スタックド構造で構成される。

【0046】前記ノード電極65は、メモリセル選択用nチャネルMISFETの一方のn型半導体領域62に電気的に接続され、周辺部分がメモリセル選択用nチャネルMISFETのゲート電極36上及びこのゲート電極36に接続されるワード線36に隣接し延在する他のワード線36上に引き伸ばされる。ノード電極65は、層間絶縁膜63に形成された接続孔を通して、一方のn型半導体領域62に接続される。

【0047】前記ノード電極65は、例えばポリシリコン膜で形成される。このポリシリコン膜は、CVD法で堆積され、その堆積中若しくはその堆積後に抵抗値を低減する不純物例えばn型不純物が導入される。ノード電極65は、メモリセルに記憶される情報を蓄積する蓄積

ノード領域に相当し、メモリセル毎に配置され、隣接する他のメモリセルに対して独立に形成される。

【0048】前記誘電体膜66は、ノード電極65の上面及び側面に沿って形成される。誘電体膜66はTa_xO_yで構成され、例えばCVD法又はスパッタ法で堆積される。

【0049】前記プレート電極64は、誘電体膜66の上に形成され、ノード電極65とキャパシタを構成する。このプレート電極64は、このメモリセルの情報蓄積用容量素子及びその周囲に隣接して配置される他のメモリセルの情報蓄積用容量素子のプレート電極と一体に構成されかつ電気的に接続され、メモリセルアレイに配置される複数個のメモリセルに共通のプレート電極64として構成される。

【0050】プレート電極64は、例えばポリシリコン膜で形成される。このポリシリコン膜は、CVD法で堆積され、その堆積中若しくはその堆積後に抵抗値を低減する不純物例えばn型不純物が導入される。

【0051】メモリセル選択用nチャネルMISFETの他方のn型半導体領域62に相補性ピット線(BL)

68が電気的に接続される。この相補性ピット線68は、層間絶縁膜63の下層を構成するBPSG膜63Aの表面上に延在し、このBPSG膜16Aに形成された接続孔(ピット線コントクトホール)に埋め込んだ第2の接続用電極81によって、他方のn型半導体領域62に接続される。

【0052】この相補型ピット線68も前記ゲート電極36と同様な構成のポリサイド膜で形成する。

【0053】前記BPSG膜63A及びその上部に積層

されたBPSG膜63Bは、その表面を平坦化し、相補性ピット線68のステップカバレッジの向上を目的として形成される。また、上層のBPSG膜63Bは、相補性ピット線68若しくはその上層の配線のパターンニングの際に発生する隣接相補性ピット線68間若しくはその上層の隣接配線間の短絡(エッティングマスクの残りに基づく配線間の短絡)の防止を目的として形成される。

BPSG膜63A, 63Bは、例えば、ソースガスの主体としてSiH₄を使用し、添加剤としてPH₃及びB₂H₆を使用し、常圧CVD法で堆積され、その表面の平坦化を目的として、リフローが施される。

【0054】(実施例2) 図5は本発明のタンゲステンシリサイドの形成方法によって形成されたn+ポリシリコン膜およびp+ポリシリコン膜上のWSi₂膜を示す模式図、図6は本発明の他の実施例であるタンゲステンシリサイド形成方法を用いて製造された半導体装置の断面図である。

【0055】本実施例の化学気相成長装置の概要について、前述した実施例1のものと同様であり、図2に示すように、化学気相成長装置の反応室(チャンバ)11内には、ウエハ(半導体ウエハ)12等の試料を支持する

ための加熱サセプタ13が配設されている。また、前記加熱サセプタ13の上方には、加熱サセプタ13を加熱するためのランプからなる加熱体14が設けられている。前記加熱サセプタ13はグラファイト板からなり、前記加熱体14によって加熱され、所望の温度に制御される。この加熱サセプタ13の下面には支持機構によってウエハ12が張り付けられる。支持機構15は、図3および図4にも示されるように、前記ウエハ12よりも直径が大きいリング体16と、このリング体16から水平方向に延在するアーム17と、このアーム17に上端が固定された昇降軸19と、この昇降軸19を上下動させる図示しない昇降機構とからなっている。また、前記リング体16には120°間隔に支持ビン20が取り付けられている。これら支持ビン20は、リング体16の中心上方向に傾斜して配設されている。ウエハ12は、図示しないロボットハンドなどによって、前記3本の支持ビン20の先端上に載置され、あるいは3本の支持ビン20上から取り外される。ウエハ12が前記3本の支持ビン20上に搬入された後は、前記支持機構15が動作してリング体16は上昇し、支持ビン20によって支持されているウエハ12を前記加熱サセプタ13の下面に密着させる。そして、この状態でWSi₂膜の形成がなされる。また、膜形成後は、前記支持機構15が再び動作し、リング体16は所定高さまで降下し、ウエハ12の反応室11外への搬出が行なわれるようになっている。

【0056】一方、前記加熱サセプタ13の下方の反応室11内にはガス噴射管25が設けられている。このガス噴射管25はリング状管体からなり、上面側に多数の図示しない噴射口を有し、この噴射口から加熱サセプタ13に向けてガス26を噴射する。また、前記ガス噴射管25には3本のガス供給管27が接続され、各ガス供給管27はポンベ29に接続されている。3本のポンベ29は、反応ガスであるジクロルレシラン(SiH₂C1₂)、六フッ化タンゲステン(WF₆)、キャリヤガスであるアルゴン(Ar)が充満され、バルブ30の開閉により、供給、停止が行なわれる。実際には、開閉弁、流量制御弁等が組み込まれ、より高精度な制御がなされている。また、前記反応室11には排気管31が取り付けられている。この排気管31は図示しない真空ポンプに接続され、反応室11内を所望の真空中に制御できるようになっている。

【0057】このような化学気相成長装置では、反応室11内の真空中度、加熱サセプタ13に張り付けられた試料の温度、各種ガスの供給量が自由に制御できる。

【0058】本発明のタンゲステンシリサイド膜の形成方法においては、前記化学気相成長装置を使用し、WF₆+SiH₂C1₂系反応ガスによってウエハ12のポリシリコン膜上にタンゲステンシリサイド(WSi₂)を形成する。膜形成のタイミングチャートは図1のよう

になっている。処理温度およびキャリヤガス(Ar)の供給量は膜形成の最初から終了に至る間一定となっている。処理温度は、たとえば680℃となり、キャリヤガスは100sccmとなる。また、膜形成は、初期核を形成する時間B～Cに至る第1ステップと、初期核形成によって形成された形成膜(極薄膜)上に膜を形成させる時間E～Fに至る第2ステップとによって形成される。また、前記第1ステップと第2ステップとの間には反応ガスの供給を停止し、圧力を数mTorrとする清浄化

10ステップが設けられている。

【0059】つぎに、前記タイミングチャートを参照しながらWSi₂膜の形成について説明する。最初に、n+ポリシリコン膜およびp+ポリシリコン膜混在の半導体ウエハ12を反応室11内に搬入した後、ウエハ12を支持機構15によって加熱サセプタ13下面に張り付ける。また、反応室11内に、キャリヤガスとしてのArガスを一定量、たとえば100sccm供給するとともに、反応室11内の圧力を150mTorrに設定し、かつ所定の温度、たとえば680℃に加熱する。キャリヤガスの供給量および加熱温度は膜形成終了まで一定に維持される。

【0060】つぎに、ウエハ12の加熱終了後、反応室11内の圧力を950mTorrに設定するとともに、反応ガスであるSiH₂C1₂ガスを所定量、たとえば200sccm供給する。このSiH₂C1₂ガスの供給は、第1ステップおよび第2ステップでも同量供給される。その後、反応ガスの他の一つであるWF₆ガスを所定量、たとえば1.2sccm供給し、所望時間、たとえば約10秒間で初期核形成を行なって形成膜(極薄膜)6、7を形成する。前記タイミングチャートにおける時間AからBに至る間が反応室11やウエハ12の処理条件が設定完了する時間である。そして、時間Bから時間Cに至る間が初期核形成に当たられる時間である。第1ステップは、狭くは時間Bから時間Cに至る間である。第1ステップでは、反応室11内の圧力が高いことから、WSi₂はウエハ12の表面から離れた位置で形成されてウエハ12の表面に降り積もるため、初期核形成による極薄膜は下地の物質の影響を受けない。このため、n+ポリシリコン膜1上の極薄膜(WSi₂膜)6もp+ポリシリコン膜2上の極薄膜(WSi₂膜)7も表面が平坦でかつ同質のものが形成される。

【0061】図5は本発明によってn+ポリシリコン膜1およびp+ポリシリコン膜2上にWSi₂膜2、4を形成した状態の模式図である。前記第1ステップによって形成される形成膜(極薄膜)6、7は、p+ポリシリコン膜2上のものも、n+ポリシリコン膜1上のものも表面が平坦となっている。同図で前記極薄膜6、7の表面は二点鎖線で示されている。なお、反応ガスであるWF₆を少なめに流すことは、第2ステップで形成するWSi₂膜と同質のものを形成するためである。圧力を高

くすると反応が早くなり、極薄膜6, 7を形成するWS_{i₂}膜の膜質が第2ステップの膜質と異なるため、膜質を一致させるために第1ステップではWF₆の供給量を少なめにする。

【0062】つぎに、時間Cから時間Dに至る清浄化ステップが設けられている。この清浄化ステップは、たとえば30秒程度の時間行われ、反応ガスの供給を止め、反応室11内を真空に引き、極薄膜6, 7の表面を清浄にする。これは、反応室11内を清浄化することによって、次の第2ステップでの膜形成を良好に行うものである。

【0063】つぎに、反応室11内の圧力を常用の150mTorrに再設定し、反応ガスの一つであるSiH₂C_{1₂}を流す(供給量は200sccm)。また、反応室11内の条件が安定した時間Eに至った時点で、他の反応ガスとしてのWF₆が2.0(第一ステップは1.2sccm)程度供給される。また、第2ステップは、たとえば、90秒程度の時間行われる。この結果、前記n+ポリシリコン膜1やp+ポリシリコン膜2上に、厚さ1500Å程度のWS_{i₂}膜3が形成されることになる。第2ステップでは、平坦な極薄膜6, 7上に引き続きWS_{i₂}膜が形成されるため、WS_{i₂}膜3の表面は平坦となる。

【0064】p+ポリシリコン膜を有する半導体装置として、SSTが知られている。そこで、SSTのp+ポリシリコン膜の抵抗値低減の目的で、本発明のタングステンシリサイド形成方法を適用して半導体装置を製造した。図6はSSTの断面図である。p+シリコンからなる半導体基体40の正面には、アイソレーション用絶縁膜(SiO₂膜)41によって、n+アイランド42が設けられている。また、絶縁膜アイソレーション用絶縁膜41の形成時に同時に形成されるSiO₂膜43によって、前記n+アイランド42においてコレクタコンタクト部44と、エミッタ・ベース形成領域45が形成されている。前記エミッタ・ベース形成領域45の表層部にはn型領域46が形成されている。このn型領域46の表層部分にはp型領域47が設けられるとともに、p型領域47の中央表層部分には、n+ポリシリコン膜1からの不純物の拡散によるn+領域(エミッタ領域)49が設けられている。前記n+ポリシリコン膜1は、エミッタ電極となり、前記アイソレーション用絶縁膜41の正面に一部が載る絶縁膜(SiO₂膜)50上に載っている。そして、前記絶縁膜50の外側から下面に亘ってp+ポリシリコン膜2が設けられている。このp+ポリシリコン膜2は、一部は半導体基体40の正面に接触し、一部は絶縁膜51上に載る。そして、p+ポリシリコン膜2が接触した半導体基体40の表層部分には、p+ポリシリコン膜2から不純物が拡散されて形成されたp+型層52が形成されている。このp+型層52はベースのコンタクト領域となる。また、前記p+ポリシリ

コン膜2はベース電極となる。また、前記コレクタコンタクト部44上には、n+ポリシリコン膜1が形成されている。このn+ポリシリコン膜1はコレクタ電極となる。

【0065】前記エミッタ・ベース・コレクタ電極となるn+ポリシリコン膜1およびp+ポリシリコン膜2上には、抵抗低減の目的でWS_{i₂}膜3が形成される。そこで、WS_{i₂}膜3の形成時、前記半導体基体40を化学気相成長装置の反応室11に入れ、前述のような第1ステップ、清浄化ステップ、第2ステップからなる本発明のシリサイド形成方法によってWS_{i₂}膜3を形成する。この結果、前記n+ポリシリコン膜1およびp+ポリシリコン膜2には、表面に凹凸が発生しない平坦面を有するWS_{i₂}膜3が形成できることになる。したがって、WS_{i₂}膜3の微細加工も可能となるとともに、電極の抵抗値の低減も図れることになる。

【0066】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0067】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるタンゲステンシリサイドの製造技術に適用した場合について説明したが、それに限定されるものではない。本発明はチタンシリサイド等の他のシリサイド膜の製造技術に適用できる。また、下地がポリシリコン以外のもの、例えば単結晶シリコン基板上或いは他の導体、半導体上にシリサイドを形成する場合にも適用が可能である。更に本発明は、前述したDRAMのメモリセル、SSTの他に論理回路、DRAMの周辺回路等他の回路構成の半導体装置にも適用が可能であり、バイポーラ、CMOS、Bi-CMOS等の素子構造に関わらず適用が可能である。

【0068】

【発明の効果】

(1) 本発明のタンゲステンシリサイド形成方法によれば、第1ステップの高圧でタンゲステンシリサイドを形成することから、下地に影響を受けないで表面が平坦でかつ均質なWS_{i₂}膜(極薄膜)を形成できるという効果が得られる。

【0069】(2) 上記(1)により、本発明のタンゲステンシリサイド形成方法によれば、ポリシリコンとの界面近傍でシリサイドの組成が均一になるという効果が得られる。

【0070】(3) 上記(2)により、本発明のタンゲステンシリサイド形成方法によれば、シリサイドのエッチング特性が向上するという効果が得られる。

【0071】(4) 上記(1)により、本発明のタンゲステンシリサイド形成方法によれば、第1ステップで表面が平坦でかつ均質な極薄膜を形成できることから、第2ステップでさらにWS_{i₂}膜を積み重ねた場合、表面

が平坦で均質なWSi₂膜を形成できるという効果が得られる。

【0072】(5) 上記(1)により、本発明のタングステンシリサイド形成方法によれば、第1ステップで表面が平坦かつ均質な極薄膜を形成できることから、第2ステップでさらにWSi₂膜を積み重ねた場合でも表面が平坦で均質なWSi₂膜を形成できることから、薄いWSi₂膜の形成も可能となるという効果が得られる。

【0073】(6) 上記(3)により、本発明のタングステンシリサイド形成方法によれば、第1ステップおよび第2ステップによって、表面が平坦で均質なWSi₂膜を形成できることから、WSi₂膜を選択的にエッチングしてバーニングする際、微細加工が可能となるという効果が得られる。

【0074】(8) 上記(5)および(6)により、本発明によれば、薄いWSi₂膜の形成およびWSi₂膜の微細加工化によって、素子パターンをさらに微細化できるためICの高密度化が達成できるという効果が得られる。

【0075】(9) 上記(1)により、本発明によれば、p+ポリシリコン膜上にもn+ポリシリコン膜上と同様に表面の平坦なWSi₂膜を形成できることから、配線(電極)抵抗値の低い微細パターンの半導体装置の製造が達成できるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例によるタングステンシリサイド形成方法を示すタイミングチャートである。

【図2】本発明のタングステンシリサイド形成方法を実施する化学気相成長装置の要部を示す模式図である。

【図3】本発明のタングステンシリサイド形成方法を実施する化学気相成長装置における半導体ウエハの支持機構の要部を示す正面図である。

【図4】本発明のタングステンシリサイド形成方法を実施する化学気相成長装置における半導体ウエハの支持機構の要部を示す平面図である。

【図5】本発明のタングステンシリサイドの形成方法によって形成されたn+ポリシリコン膜およびp+ポリシリコン膜上のWSi₂膜を示す模式図である。

【図6】本発明のタングステンシリサイド形成方法を用

いて製造されたたの実施例である半導体装置の断面図である。

【図7】従来のタングステンシリサイドの形成方法によって形成されたn+ポリシリコン膜およびp+ポリシリコン膜上のWSi₂膜を示す模式図である。

【図8】本発明の一実施例であるDRAMの要部断面図である。

【図9】本発明の一実施例であるDRAMのゲート形成プロセスを説明する図である。

【図10】本発明のポリシリコン膜形成方法を実施する化学気相成長装置の構成を示す図である。

【図11】本発明のタングステンシリサイド形成方法を実施する化学気相成長装置の全体構成を示す平面図である。

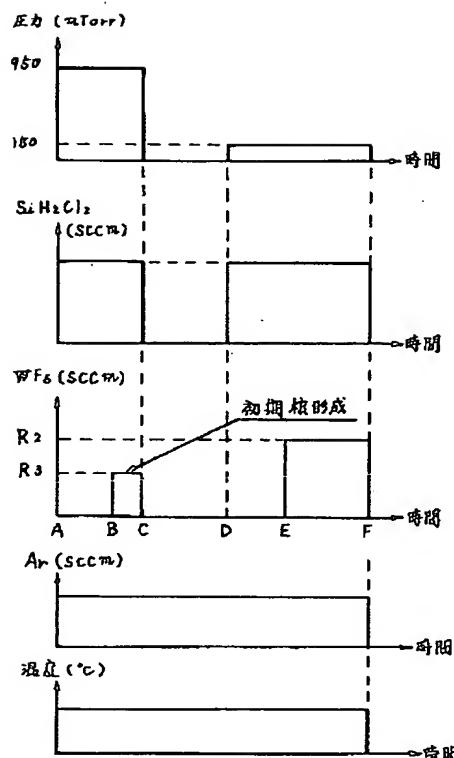
【図12】本発明のポリサイド膜の深さ方向組成を示す図である。

【符号の説明】

1…n+ポリシリコン膜、2…p+ポリシリコン膜、3…WSi₂膜、4…凹凸面、6、7…形成膜(極薄膜)、11…反応室(チャンバ)、12…ウエハ(半導体ウエハ)、13…加熱サセプタ、14…加熱体、15…支持機構、16…リング体、17…アーム、19…昇降軸、20…支持ピン、25…ガス噴射管、26…ガス、27…ガス供給管、29…ポンベ、30…バルブ、31…排気管、35…ゲート絶縁膜、36…ゲート電極、40…半導体基体、41…アイソレーション用絶縁膜、42…n+アイランド、43…SiO₂膜、44…コレクタコンタクト部、45…エミッタ・ベース形成領域、46…n型領域、47…p型領域、49…エミッタ領域(n+領域)、50…絶縁膜、51…絶縁膜、52…p+型層、61…フィールド酸化膜、62…n型半導体領域、63…層間絶縁膜、63A…BPSG膜、63B…BPSG膜、64…プレート電極、65…ノード電極、66…誘電体膜、67…第1の接続用電極、68…ピット線、69…カセット、70…移載機、71…反応室、72…ヒータ、73…カセット室、74…ロードロック室、75…カセット室、76…搬送チャンバ、77…アニールチャンバ、78…絶縁膜、79…レジスト、80…スペーサ、81…第2の接続用電極。

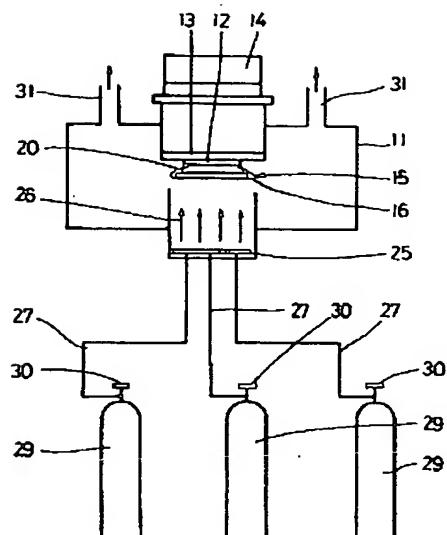
【図1】

図1



【図2】

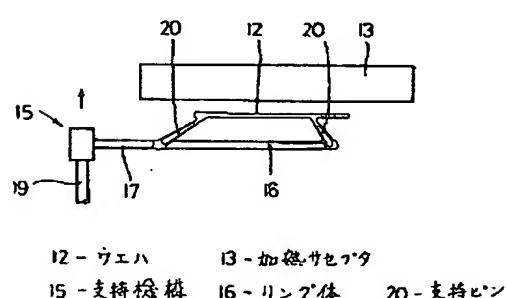
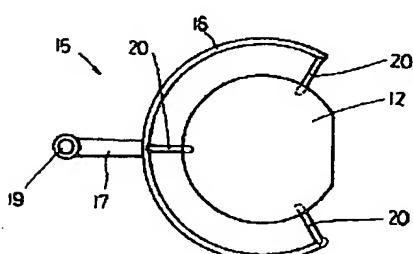
図2



11 - 反応室 12 - ウエハ 13 - 加熱サセフタ
 14 - 支持体 15 - 支持機構 25 - ガス噴射管
 26 - ガス 29 - ポンベ 31 - 排気管

【図3】

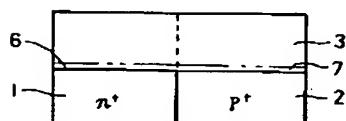
図3

【図4】
図4

12 - ウエハ 16 - リング体 17 - アーム
 19 - 昇降軸 20 - 支持ピン

【図5】

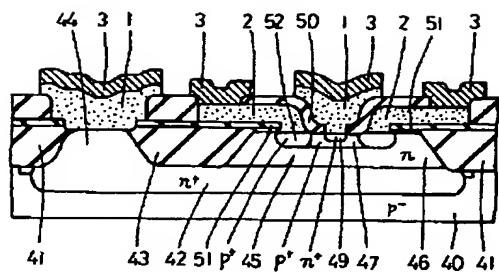
図5



1 - π^+ ポリシリコン膜 2 - P^+ ポリシリコン膜 3 - WSi_2 膜

【図6】

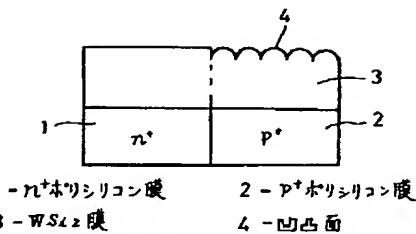
図6



1 - n⁺ 型ポリシリコン膜 2 - p⁺ 型ポリシリコン膜 3 - WSi₂ 膜
40 - 半導体基盤 42 - n⁺ アイランド 46 - n型領域
47 - P型領域 49 - エミッタ領域 50 - p⁺ 型層

【図7】

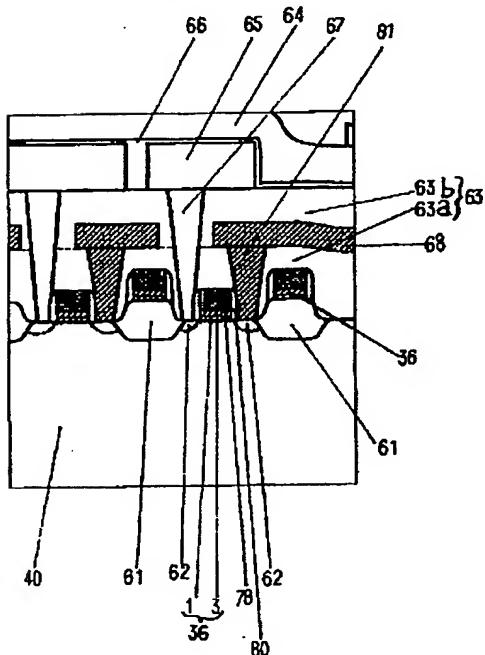
図7



1 - n⁺ 型ポリシリコン膜 2 - p⁺ 型ポリシリコン膜
3 - WSi₂ 膜 4 - 凹凸面

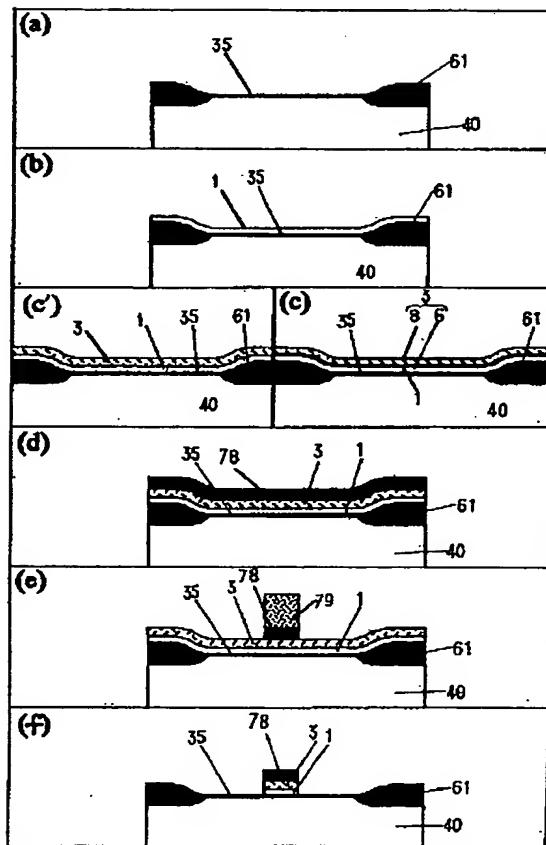
【図8】

図8

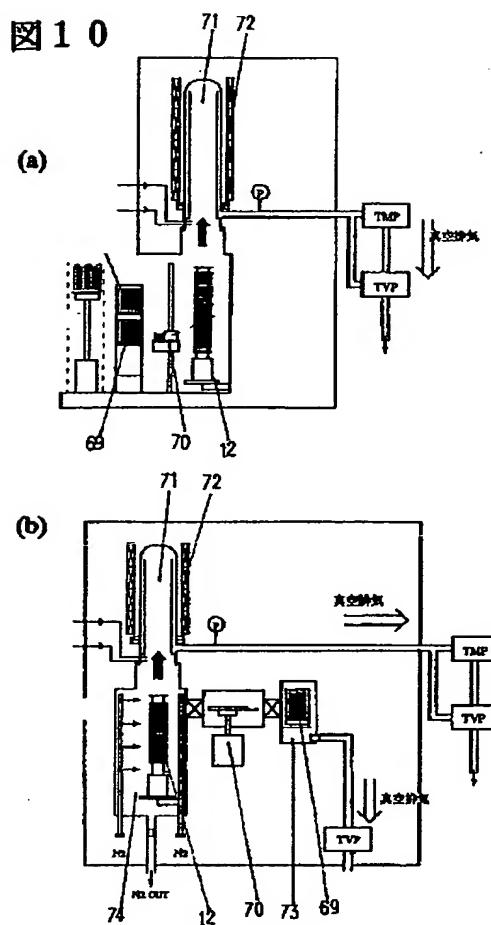


【図9】

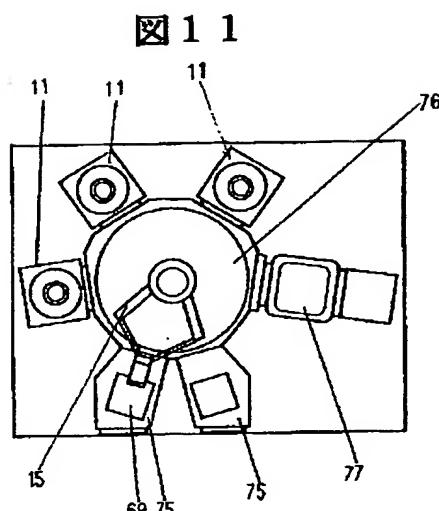
図9



【図10】



【図11】



【図12】

